

# SILICON CARBIDE SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

Publication number: JP2003068760

Publication date: 2003-03-07

Inventor: KOJIMA ATSUSHI; RAJESH KUMAR

Applicant: DENSO CORP

Classification:

- International: H01L29/872; H01L21/06; H01L21/329; H01L21/337; H01L21/338; H01L21/8232; H01L27/06; H01L29/47; H01L29/808; H01L29/812; H01L29/861; H01L29/66; H01L21/02; H01L21/70; H01L27/06; H01L29/40; (IPC1-7): H01L21/337; H01L21/06; H01L21/329; H01L21/338; H01L21/8232; H01L29/808; H01L29/812; H01L29/861; H01L29/872

- European:

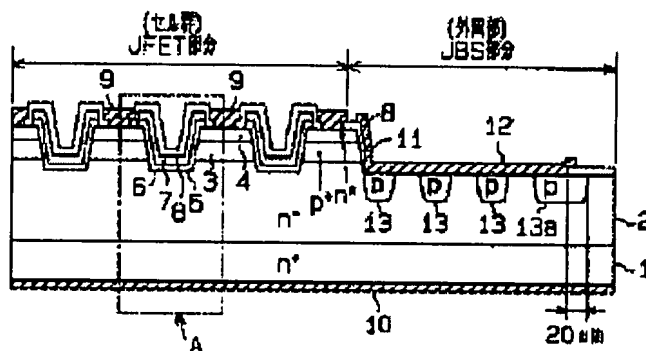
Application number: JP20010259997 20010829

Priority number(s): JP20010259997 20010829

Report a data error here

## Abstract of JP2003068760

**PROBLEM TO BE SOLVED:** To provide a silicon carbide semiconductor device which can be downsized, and a manufacturing method thereof. **SOLUTION:** On an n-type SiC substrate 1, an n<sup>-</sup> drift layer 2 consisting of an epitaxial layer, a p-type first gate layer 3 consisting of an epitaxial layer, and an n-type source layer 4 are sequentially laminated. An n-type channel layer 6 consisting of an epitaxial layer is formed on the inner wall of a trench 5, and a p-type second gate layer 7 is formed inside the layer 6. On the outer peripheral side of a cell, a Schottky electrode 12 is arranged on the upper face of the drift layer 2 while the drift layer 2 is exposed, and p-type impurity regions 13 are formed in the surface layer of the drift layer 2 under the Schottky electrode 12.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-68760

(P2003-68760A)

(43)公開日 平成15年3月7日(2003.3.7)

(51)IntCl. <sup>7</sup>	識別記号	F I	テームコード*(参考)
H 0 1 L	21/337	H 0 1 L 29/80	C 4 M 1 0 4
	21/06		P 5 F 1 0 2
	21/329	29/91	B
	21/338		D
	21/8232	27/06	F
審査請求 未請求 請求項の数18 O L (全 11 頁) 最終頁に続く			

(21)出願番号 特願2001-259997(P2001-259997)

(22)出願日 平成13年8月29日(2001.8.29)

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 小島 淳

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72)発明者 ラジェシュ クマール

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(74)代理人 100068755

弁理士 恩田 博宣 (外1名)

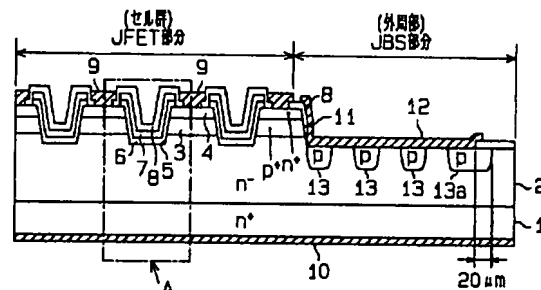
最終頁に続く

(54)【発明の名称】 炭化珪素半導体装置およびその製造方法

(57)【要約】

【課題】小型化を図ることができる炭化珪素半導体装置およびその製造方法を提供する。

【解決手段】 $n$ 型のSiC基板1の上に、エピタキシャル層よりなる $n^-$ ドリフト層2と、エピタキシャル層よりなる $p$ 型の第1のゲート層3と、エピタキシャル層よりなる $n$ 型のソース層4とが順に積層され、トレンチ5の内壁にエピタキシャル層よりなる $n$ 型のチャネル層6が形成されるとともにその内方に $p$ 型の第2のゲート層7が形成されている。セル外周側においてドリフト層2が露出し、ドリフト層2の上面にショットキー電極12が配置されるとともにショットキー電極12の下ドリフト層2の表層部に $p$ 型の不純物領域13が形成されている。



## 【特許請求の範囲】

【請求項1】 高濃度の第1導電型のSiC基板(1)の上に、エピタキシャル層よりなる低濃度な第1導電型のドリフト層(2)と、エピタキシャル層よりなる第2導電型の第1のゲート層(3)と、エピタキシャル層よりなる第1導電型のソース層(4)とが順に積層されるとともに、前記ソース層(4)と第1のゲート層(3)とを貫通してドリフト層(2)に達するトレンチ(5)が形成され、さらに、このトレンチ(5)の内壁にエピタキシャル層よりなる第1導電型のチャンネル層(6)が形成されるとともにその内方に第2導電型の第2のゲート層(7)を形成した炭化珪素半導体装置において、前記トレンチ(5)を形成したセル部の外周側において前記ドリフト層(2)を露出させ、露出させたドリフト層(2)の上面にショットキー電極(12)を配置するとともに当該ショットキー電極(12)の下ドリフト層(2)の表層部に第2導電型の不純物領域(13)を形成して、ジャンクションバリア・コントロールド・ショットキー構造のボディダイオードとしたことを特徴とする炭化珪素半導体装置。

【請求項2】 ジャンクションバリア・コントロールド・ショットキー構造のボディダイオードにおける最外周の第2導電型の不純物領域(13a)を、外方に向かって延設したことを特徴とする請求項1に記載の炭化珪素半導体装置。

【請求項3】 前記最外周の第2導電型の不純物領域(13a)は20 $\mu$ m延設したものであることを特徴とする請求項2に記載の炭化珪素半導体装置。

【請求項4】 高濃度の第1導電型のSiC基板(1)の上に、エピタキシャル層よりなる低濃度な第1導電型のドリフト層(2)と、エピタキシャル層よりなる第2導電型の第1のゲート層(3)と、エピタキシャル層よりなる第1導電型のソース層(4)とが順に積層されるとともに、前記ソース層(4)と第1のゲート層(3)とを貫通してドリフト層(2)に達するトレンチ(5)が形成され、さらに、このトレンチ(5)の内壁にエピタキシャル層よりなる第1導電型のチャンネル層(6)が形成されるとともにその内方に第2導電型の第2のゲート層(7)を形成した炭化珪素半導体装置において、前記トレンチ(5)を形成したセル部の外周側において前記ドリフト層(2)を露出させ、露出させたドリフト層(2)に対し金属電極(20)をショットキー接触させてボディダイオードを形成したことを特徴とする炭化珪素半導体装置。

【請求項5】 金属/SiC間の障壁高さを1~1.5eVとしたことを特徴とする請求項4に記載の炭化珪素半導体装置。

【請求項6】 金属電極(20)の外縁部(20a)を絶縁膜(8)上に延設して等電位リングとしたことを特徴とする請求項4に記載の炭化珪素半導体装置。

【請求項7】 前記金属電極(20)の外縁部(20a)は絶縁膜(8)上に20 $\mu$ m延設したものであることを特徴とする請求項6に記載の炭化珪素半導体装置。

【請求項8】 高濃度の第1導電型のSiC基板(1)の上に、エピタキシャル層よりなる低濃度な第1導電型のドリフト層(2)と、エピタキシャル層よりなる第2導電型の第1のゲート層(3)と、エピタキシャル層よりなる第1導電型のソース層(4)とが順に積層されるとともに、前記ソース層(4)と第1のゲート層(3)とを貫通してドリフト層(2)に達するトレンチ(5)が形成され、さらに、このトレンチ(5)の内壁にエピタキシャル層よりなる第1導電型のチャンネル層(6)が形成されるとともにその内方に第2導電型の第2のゲート層(7)を形成した炭化珪素半導体装置において、前記トレンチ(5)を形成したセル部の外周側において前記ドリフト層(2)を露出させ、露出させたドリフト層(2)の表層部に第2導電型の不純物領域(30)を形成するとともに当該領域(30)の上に電極(31)を設けて、pn接合構造のボディダイオードとしたことを特徴とする炭化珪素半導体装置。

【請求項9】 pn接合構造のボディダイオードにおける第2導電型の不純物領域(30)は外方に向かって不純物濃度が低くなっていることを特徴とする請求項8に記載の炭化珪素半導体装置。

【請求項10】 pn接合構造のボディダイオードにおける第2導電型の不純物領域(30)は下方に向かって不純物濃度が低くなっていることを特徴とする請求項8に記載の炭化珪素半導体装置。

【請求項11】 高濃度の第1導電型のSiC基板(1)の上に、エピタキシャル層よりなる低濃度な第1導電型のドリフト層(2)と、エピタキシャル層よりなる第2導電型の第1のゲート層(3)と、エピタキシャル層よりなる第1導電型のソース層(4)とが順に積層されるとともに、前記ソース層(4)と第1のゲート層(3)とを貫通してドリフト層(2)に達するトレンチ(5)が形成され、さらに、このトレンチ(5)の内壁にエピタキシャル層よりなる第1導電型のチャンネル層(6)が形成されるとともにその内方に第2導電型の第2のゲート層(7)を形成した炭化珪素半導体装置において、前記トレンチ(5)の底部において前記ドリフト層(2)を露出させ、露出させたドリフト層(2)に対し金属電極(40)をショットキー接触させてボディダイオードを形成したことを特徴とする炭化珪素半導体装置。

【請求項12】 金属/SiC間の障壁高さを1~1.5eVとしたことを特徴とする請求項11に記載の炭化珪素半導体装置。

【請求項13】 高濃度の第1導電型のSiC基板(1)の上に、エピタキシャル層よりなる低濃度な第1

導電型のドリフト層(2)と、エピタキシャル層よりなる第2導電型の第1のゲート層(3)と、エピタキシャル層よりなる第1導電型のソース層(4)とが順に積層されるとともに、前記ソース層(4)と第1のゲート層(3)とを貫通してドリフト層(2)に達するトレンチ(5)が形成され、さらに、このトレンチ(5)の内壁にエピタキシャル層よりなる第1導電型のチャンネル層(6)が形成されるとともにその内方に第2導電型の第2のゲート層(7)を形成した炭化珪素半導体装置において、

前記トレンチ(5)の底部において前記ドリフト層

(2)を露出させ、露出させたドリフト層(2)に対し第2導電型のドーパントを添加したポリシリコンよりなる電極(50)を接触させてボディダイオードを形成したことを特徴とする炭化珪素半導体装置。

【請求項14】 高濃度の第1導電型のSiC基板

(1)の上に、エピタキシャル層よりなる低濃度な第1導電型のドリフト層(2)と、エピタキシャル層よりなる第2導電型の第1のゲート層(3)と、エピタキシャル層よりなる第1導電型のソース層(4)とが順に積層されるとともに、前記ソース層(4)と第1のゲート層(3)とを貫通してドリフト層(2)に達するトレンチ(5)が形成され、さらに、このトレンチ(5)の内壁にエピタキシャル層よりなる第1導電型のチャンネル層(6)が形成されるとともにその内方に第2導電型の第2のゲート層(7)を形成した炭化珪素半導体装置の製造方法であって、

連続エピタキシャル成長により第1導電型のSiC基板(1)の上にドリフト層と第1のゲート層とソース層となるエピタキシャル層(2, 3, 4)を積層する工程と、

セル部におけるソース層および第1のゲート層となるエピタキシャル層(4, 3)を貫通してドリフト層となるエピタキシャル層(2)に達するトレンチ(5)、および、セル部の外周側におけるソース層および第1のゲート層となるエピタキシャル層(4, 3)を貫通してドリフト層となるエピタキシャル層(2)に達するトレンチ(11)を同時に形成する工程と、

セル部の外周側における前記トレンチ(11)の底面での表層部に第2導電型の不純物領域(13)を形成する工程と、

連続エピタキシャル成長によりチャンネル層および第2のゲート層となるエピタキシャル層(6, 7)を形成する工程と、

セル部の外周側における前記トレンチ(11)の底面でのチャンネル層および第2のゲート層となるエピタキシャル層(6, 7)を除去した後、当該トレンチ(11)の底面での前記第2導電型の不純物領域(13)の上に、ジャンクションバリア・コントロールド・ショットキー構造のボディダイオードを構成するためのショットキー

電極(12)を形成する工程と、を含むことを特徴とする炭化珪素半導体装置の製造方法。

【請求項15】 高濃度の第1導電型のSiC基板

(1)の上に、エピタキシャル層よりなる低濃度な第1導電型のドリフト層(2)と、エピタキシャル層よりなる第2導電型の第1のゲート層(3)と、エピタキシャル層よりなる第1導電型のソース層(4)とが順に積層されるとともに、前記ソース層(4)と第1のゲート層(3)とを貫通してドリフト層(2)に達するトレンチ(5)が形成され、さらに、このトレンチ(5)の内壁にエピタキシャル層よりなる第1導電型のチャンネル層(6)が形成されるとともにその内方に第2導電型の第2のゲート層(7)を形成した炭化珪素半導体装置の製造方法であって、

連続エピタキシャル成長により第1導電型のSiC基板(1)の上にドリフト層と第1のゲート層とソース層となるエピタキシャル層(2, 3, 4)を積層する工程と、

セル部におけるソース層および第1のゲート層となるエピタキシャル層(4, 3)を貫通してドリフト層となるエピタキシャル層(2)に達するトレンチ(5)、および、セル部の外周側におけるソース層および第1のゲート層となるエピタキシャル層(4, 3)を貫通してドリフト層となるエピタキシャル層(2)に達するトレンチ(11)を同時に形成する工程と、

連続エピタキシャル成長によりチャンネル層および第2のゲート層となるエピタキシャル層(6, 7)を形成する工程と、

セル部の外周側における前記トレンチ(11)の底面でのチャンネル層および第2のゲート層となるエピタキシャル層(6, 7)を除去した後、当該トレンチ(11)の底面に、ショットキー接触させてボディダイオードとするための金属電極(20)を形成する工程と、を含むことを特徴とする炭化珪素半導体装置の製造方法。

【請求項16】 高濃度の第1導電型のSiC基板

(1)の上に、エピタキシャル層よりなる低濃度な第1導電型のドリフト層(2)と、エピタキシャル層よりなる第2導電型の第1のゲート層(3)と、エピタキシャル層よりなる第1導電型のソース層(4)とが順に積層されるとともに、前記ソース層(4)と第1のゲート層(3)とを貫通してドリフト層(2)に達するトレンチ(5)が形成され、さらに、このトレンチ(5)の内壁にエピタキシャル層よりなる第1導電型のチャンネル層(6)が形成されるとともにその内方に第2導電型の第2のゲート層(7)を形成した炭化珪素半導体装置の製造方法であって、

連続エピタキシャル成長により第1導電型のSiC基板(1)の上にドリフト層と第1のゲート層とソース層となるエピタキシャル層(2, 3, 4)を積層する工程と、

セル部におけるソース層および第1のゲート層となるエピタキシャル層(4, 3)を貫通してドリフト層となるエピタキシャル層(2)に達するトレンチ(5)、および、セル部の外周側におけるソース層および第1のゲート層となるエピタキシャル層(4, 3)を貫通してドリフト層となるエピタキシャル層(2)に達するトレンチ(11)を同時に形成する工程と、

セル部の外周側における前記トレンチ(11)の底面での表層部に第2導電型の不純物領域(30)を形成する工程と、

連続エピタキシャル成長によりチャンネル層および第2のゲート層となるエピタキシャル層(6, 7)を形成する工程と、

セル部の外周側における前記トレンチ(11)の底面でのチャンネル層および第2のゲート層となるエピタキシャル層(6, 7)を除去した後、当該トレンチ(11)の底面での前記第2導電型の不純物領域(30)の上に、pn接合構造のボディダイオードとするための電極(31)を形成する工程と、を含むことを特徴とする炭化珪素半導体装置の製造方法。

【請求項17】 高濃度の第1導電型のSiC基板

(1)の上に、エピタキシャル層よりなる低濃度な第1導電型のドリフト層(2)と、エピタキシャル層よりなる第2導電型の第1のゲート層(3)と、エピタキシャル層よりなる第1導電型のソース層(4)とが順に積層されるとともに、前記ソース層(4)と第1のゲート層(3)とを貫通してドリフト層(2)に達するトレンチ(5)が形成され、さらに、このトレンチ(5)の内壁にエピタキシャル層よりなる第1導電型のチャンネル層(6)が形成されるとともにその内方に第2導電型の第2のゲート層(7)を形成した炭化珪素半導体装置の製造方法であって、

エピタキシャル成長法により第1導電型のSiC基板(1)の上にドリフト層(2)と第1のゲート層(3)とソース層(4)とを順に積層する工程と、ソース層(4)と第1のゲート層(3)とを貫通してドリフト層(2)に達するトレンチ(5)を形成する工程と、

エピタキシャル成長法によりチャンネル層(6)と第2のゲート層(7)を形成する工程と、

前記トレンチ(5)の底面における前記第2のゲート層(7)とチャンネル層(6)に貫通孔(41)を形成する工程と、

前記貫通孔(41)を通して露出しているドリフト層(2)の上に、ショットキー構造のボディダイオードを構成するためのショットキー電極(40)を形成する工程と、を含むことを特徴とする炭化珪素半導体装置の製造方法。

【請求項18】 高濃度の第1導電型のSiC基板

(1)の上に、エピタキシャル層よりなる低濃度な第1

導電型のドリフト層(2)と、エピタキシャル層よりなる第2導電型の第1のゲート層(3)と、エピタキシャル層よりなる第1導電型のソース層(4)とが順に積層されるとともに、前記ソース層(4)と第1のゲート層(3)とを貫通してドリフト層(2)に達するトレンチ(5)が形成され、さらに、このトレンチ(5)の内壁にエピタキシャル層よりなる第1導電型のチャンネル層(6)が形成されるとともにその内方に第2導電型の第2のゲート層(7)を形成した炭化珪素半導体装置の製造方法であって、

エピタキシャル成長法により第1導電型のSiC基板(1)の上にドリフト層(2)と第1のゲート層(3)とソース層(4)とを順に積層する工程と、

ソース層(4)と第1のゲート層(3)とを貫通してドリフト層(2)に達するトレンチ(5)を形成する工程と、

エピタキシャル成長法によりチャンネル層(6)と第2のゲート層(7)を形成する工程と、

前記トレンチ(5)の底面における前記第2のゲート層(7)とチャンネル層(6)に貫通孔(41)を形成する工程と、

前記貫通孔(41)を通して露出しているドリフト層(2)の上に、ボディダイオードとするための第2導電型のドーパントを添加したポリシリコンよりなる電極(50)を形成する工程と、を含むことを特徴とする炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、炭化珪素半導体装置に関するものである。

【0002】

【従来の技術】この種の従来技術として、スイッチング回路ではFETに対し並列に整流素子を接続するが、図19(a)に示すように、FETを作り込んだチップと整流素子を作り込んだチップがそれぞれ必要であった。

【0003】

【発明が解決しようとする課題】本発明は、上記問題に着目してなされたものであって、その目的とするところは、小型化を図ることができる炭化珪素半導体装置およびその製造方法を提供することにある。

【0004】

【課題を解決するための手段】請求項1に記載の炭化珪素半導体装置は、トレンチを形成したセル部の外周側においてドリフト層を露出させ、露出させたドリフト層の上面にショットキー電極を配置するとともに当該ショットキー電極の下ドリフト層の表層部に第2導電型の不純物領域を形成して、ジャンクションバリア・コントロールド・ショットキー構造のボディダイオードとしたことを特徴としている。このようにしてチップ内に整流素子であるジャンクションバリア・コントロールド・ショ

ットキー構造のボディダイオードを配置することにより、素子とダイオードを1チップ内に収めることができる。

【0005】請求項2に記載のように、ジャンクションバリア・コントロールド・ショットキー構造のボディダイオードにおける最外周の第2導電型の不純物領域を、外方に向かって延設すると、当該不純物領域がガードリングとして働き、耐圧が向上する。

【0006】請求項4に記載の炭化珪素半導体装置は、トレンチを形成したセル部の外周側においてドリフト層を露出させ、露出させたドリフト層に対し金属電極をショットキー接触させてボディダイオードを形成したことを特徴としている。このようにしてチップ内に整流素子であるショットキーバリアダイオードをボディダイオードとして配置することにより、素子とダイオードを1チップ内に収めることができる。

【0007】請求項5に記載のように、金属/SiC間の障壁高さを1~1.5eVとするとよい。また、請求項6に記載のように、金属電極の外縁部を絶縁膜上に延設して等電位リング(EQR)とすると、耐圧が向上する。

【0008】請求項8に記載の炭化珪素半導体装置は、トレンチを形成したセル部の外周側においてドリフト層を露出させ、露出させたドリフト層の表層部に第2導電型の不純物領域を形成するとともに当該領域の上に電極を設けてpn接合構造のボディダイオードとしたことを特徴としている。このようにしてチップ内に整流素子であるpn接合構造のボディダイオードを配置することにより、素子とダイオードを1チップ内に収めることができる。

【0009】請求項9に記載のように、pn接合構造のボディダイオードにおける第2導電型の不純物領域は外方に向かって不純物濃度が低くなっていると、外方に向かって濃度勾配がない場合に比べ耐圧が向上する。

【0010】請求項10に記載のように、pn接合構造のボディダイオードにおける第2導電型の不純物領域は下方に向かって不純物濃度が低くなっていると、下方に向かって濃度勾配がない場合に比べ第2導電型の不純物領域と第1導電型のドリフト層との界面(pn接合部)での耐圧が向上する。

【0011】請求項11に記載の炭化珪素半導体装置は、トレンチの底部においてドリフト層を露出させ、露出させたドリフト層に対し金属電極をショットキー接触させてボディダイオードを形成したことを特徴としている。このようにしてチップ内に整流素子であるショットキーバリアダイオードをボディダイオードとして配置することにより、素子とダイオードを1チップ内に収めることができる。

【0012】請求項12に記載のように、金属/SiC間の障壁高さを1~1.5eVとするとよい。請求項1

3に記載の炭化珪素半導体装置は、トレンチの底部においてドリフト層を露出させ、露出させたドリフト層に対し第2導電型のドーパントを添加したポリシリコンよりなる電極を接触させてボディダイオードを形成したことを特徴としている。このようにしてチップ内に整流素子である不純物トープトポリシリコン型ボディダイオードを配置することにより、素子とダイオードを1チップ内に収めることができる。

【0013】炭化珪素半導体装置の製造方法として、請求項14に記載のようになると、請求項1に記載の半導体装置が得られる。また、請求項15に記載のようになると、請求項4に記載の半導体装置が得られる。さらに、請求項16に記載のようになると、請求項8に記載の半導体装置が得られる。

【0014】一方、請求項17に記載のようになると、請求項11に記載の半導体装置が得られる。また、請求項18に記載のようになると、請求項13に記載の半導体装置が得られる。

【0015】

【発明の実施の形態】(第1の実施の形態)以下、この発明を具体化した第1の実施の形態を図面に従って説明する。

【0016】図1には、本実施の形態における炭化珪素半導体装置の縦断面図を示す。また、図1でのA部を拡大したものを図2に示す。図2において、n<sup>+</sup>型(高濃度の第1導電型)のSiC基板1の上に、エピタキシャル層よりなるn<sup>+</sup>型(低濃度な第1導電型)のドリフト層2と、エピタキシャル層よりなるp<sup>+</sup>型(第2導電型)の第1のゲート層3と、エピタキシャル層よりなるn<sup>+</sup>型(第1導電型)のソース層4とが順に積層されている。また、ソース層4と第1のゲート層3とを貫通してドリフト層2に達するトレンチ5が形成されている。さらに、このトレンチ5の内壁にエピタキシャル層よりなるn<sup>+</sup>型(第1導電型)のチャネル層6が形成されている。その内方にはp<sup>+</sup>型(第2導電型)の第2のゲート層7が形成されている。第1のゲート層3は埋め込まれているのでバリッドゲート層とも言い、第2のゲート層7は上面にあるのでトップゲート層とも言う。

【0017】第2のゲート層7の上を含めた基板の上にはLTO膜8が形成されている。また、n<sup>+</sup>ソース層4の上においてLTO膜8が除去され、ソース電極9がLTO膜8の開口部を通してn<sup>+</sup>ソース層4と接している。さらに、SiC基板1の下面(裏面)にはドレイン電極10が全面に形成されている。

【0018】結線方法としては、ソース端子はグラウンドに、ドレイン端子は負荷を介して電源に接続する。トランジスタ動作は、ゲート端子への電圧によって両ゲート層3, 7に挟まれたチャネル層6において空乏層の幅を調整することによりチャネル幅を変えてドレイン電流を調整する。

【0019】さらに、図1に示すように、トレンチ5を形成したセル部の外周側においてトレンチ11が形成され、ドリフト層2が露出している。詳しくは、トレンチ11の内面には層間絶縁膜8が形成されているが、開口部が形成されこの部分においてドリフト層2が露出している。この露出させたドリフト層2の上面にショットキー電極12が配置されている。ショットキー電極12の下ドリフト層2の表層部にp型（第2導電型）の不純物領域13が形成されている。このようにして、セル群の外周側（チップ外周部）においてジャンクションバリア・コントロールド・ショットキー構造のボディダイオードが形成されている。このJBS構造のボディダイオードのセル側は耐圧を損なわない程度の位置に形成される。詳しくは、トレンチ11の底部におけるセル側の角部に、p型領域13を形成している。

【0020】また、ジャンクションバリア・コントロールド・ショットキー構造のボディダイオードにおける最外周の不純物領域13aは、外方に向かって延設されている。この最外周の不純物領域13aは20 $\mu$ m延設している。

【0021】さらに、ボディダイオードの電極12はソース（グランド側）に接続されている。以上のごとく、チップ内に整流素子であるジャンクションバリア・コントロールド・ショットキー構造のボディダイオードを配置することにより、素子とダイオードを1チップ内に収めることができる。つまり、図19（a）の場合においてはFET用チップとダイオード用チップが必要であったが、本実施形態においては図19（b）に示すように1チップでよい。また、ジャンクションバリア・コントロールド・ショットキー構造のボディダイオードにおける最外周のp型不純物領域13aを、外方に向かって延設したので、この不純物領域13aがガードリングとして働き、耐圧が向上する。

【0022】次に、製造方法について説明する。まず、図3に示すように、n<sup>+</sup>SiC基板1の上にn<sup>+</sup>ドリフト層2と第1のゲート層（p<sup>+</sup>型バリッドゲート層）3とn<sup>+</sup>ソース層4とを順にエピタキシャル成長させる。つまり、連続エピタキシャル成長によりn<sup>+</sup>SiC基板1の上にドリフト層と第1のゲート層とソース層となるエピタキシャル層2、3、4を積層する。その後、n<sup>+</sup>ソース層4の上にマスクを配置し、セル形成部においてはトレンチ5を、また、その外周部においてはトレンチ11を同時に形成する。つまり、セル部におけるソース層および第1のゲート層となるエピタキシャル層4、3を貫通してドリフト層となるエピタキシャル層2に達するトレンチ5、および、セル部の外周側におけるソース層および第1のゲート層となるエピタキシャル層4、3を貫通してドリフト層となるエピタキシャル層2に達するトレンチ11を同時に形成する。なお、マスク材としてLTO膜を用い、SiCのエッチングはRIEを用い

る。

【0023】そして、マスク材を除去した後に、図4に示すように、n<sup>+</sup>ソース層4の上に再度LTO膜14をデポするとともにパターンニングする。これをマスクとしてイオン注入を行い、トレンチ11の底面でのn<sup>+</sup>エピ層2の表層部にp型領域13を形成する。LTO膜14を除去した後、図5に示すように、SiC表面にn<sup>+</sup>チャンネル層6と第2のゲート層（p<sup>+</sup>トップゲート層）7をエピタキシャル成長させる。つまり、連続エピタキシャル成長によりチャンネル層および第2のゲート層となるエピタキシャル層6、7を形成する。このエピ成長の際、イオン注入層13は活性化される。

【0024】なお、p型領域13は、トレンチ11の底面においてトレンチを形成してp型エピタキシャル層にて埋め込むことにより形成してもよい。そして、LTO膜（図示略）をデポし、ソース及びチップ外周部（ガードリングとなる部分）をRIEにより開口し、図6に示すように、ソース電極形成箇所とトレンチ11の底面でのn<sup>+</sup>チャンネル層6と第2のゲート層（p<sup>+</sup>トップゲート層）7を除去する。つまり、ソース電極形成箇所に加え、トレンチ11の底面でのチャンネル層および第2のゲート層となるエピタキシャル層6、7を除去する。

【0025】引き続き、LTO膜を除去した後、電極用コンタクトホール形成および電極の形成を行う。詳しくは、LTO膜（図示略）をデポし、第1のゲート層（p<sup>+</sup>型バリッドゲート層）3へのコンタクトとなる部分のLTO膜をRIEにより開口し、n<sup>+</sup>ソース層4を除去する。LTO膜を除去した後、図7に示すように、再度LTO膜8をデポし、このLTO膜8に対しソース層4へのコンタクトとなる部分と、第2のゲート層（p<sup>+</sup>トップゲート層）7へのコンタクトとなる部分と、第1のゲート層（p<sup>+</sup>型バリッドゲート層）3へのコンタクトとなる部分と、トレンチ11内でのダイオード用電極となる部分をRIEにより開口する。

【0026】そして、図8に示すように、電極金属を蒸着し、ソース電極、第1および第2のゲート電極（バリッドおよびトップゲート電極）となるようにメタルエッチングをする。その後、電極熱処理を行う。また、図1に示すように、基板1の裏面にドレイン電極10を形成する。さらに、トレンチ11の底面でのp型領域13の上に、ジャンクションバリア・コントロールド・ショットキー構造のボディダイオードを構成するためのショットキー電極12を蒸着し、メタルエッチングをする。その後、配線用アルミを蒸着し、配線となるようにエッチングを行う。そして、配線アルミシンターを行う。

（第2の実施の形態）次に、第2の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0027】図9は、図1に代わる本実施の形態における半導体装置の断面図である。図9において、トレンチ5を形成したセル部の外周側においてトレンチ11が形

成され、これによりドリフト層2が露出している。露出させたドリフト層2に対し金属電極20がショットキー接触しており、ボディダイオードを形成している。また、金属/SiC間の障壁高さを1~1.5eVとしている。さらに、金属電極20の外縁部20aを層間絶縁膜8上に延設して等電位リング(EQR)としている。金属電極20の外縁部20aは絶縁膜8上に20 $\mu$ m延設されている。

【0028】以上のごとく、チップ内に整流素子であるショットキーバリアダイオードをボディダイオードとして配置することにより、素子とダイオードを1チップ内に収めることができる。また、金属電極の外縁部20aを絶縁膜8上に延設して等電位リング(EQR)としたので、耐圧が向上する。

【0029】製造方法については、第1の実施の形態での製造方法に比べて次のようにすればよい。図4での不純物領域13を形成せずに図8の状態から、トレンチ11の底面に、ショットキー接触させてボディダイオードとするための金属電極20を形成する。

(第3の実施の形態)次に、第3の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0030】図10は、図1に代わる本実施の形態における半導体装置の断面図である。図10において、トレンチ5を形成したセル部の外周側においてドリフト層2を露出させ、露出させたドリフト層2の表層部にp型(第2導電型)の不純物領域30が形成されている。当該領域30の上に電極31が設けられ、pn接合構造のボディダイオードとしている。

【0031】また、pn接合構造のボディダイオードにおけるp型の不純物領域30は外方に向かって不純物濃度が低くなっている。さらに、pn接合構造のボディダイオードにおけるp型の不純物領域30は下方に向かって不純物濃度が低くなっている。

【0032】以上のごとく、チップ内に整流素子であるpn接合構造のボディダイオードを配置することにより、素子とダイオードを1チップ内に収めることができる。また、pn接合構造のボディダイオードにおけるp型の不純物領域30は外方に向かって不純物濃度が低くなっている、外方に向かって濃度勾配がない場合に比べ耐圧が向上する。さらに、pn接合構造のボディダイオードにおけるp型の不純物領域30は下方に向かって不純物濃度が低くなっている、下方に向かって濃度勾配がない場合に比べp型の不純物領域30とn型のドリフト層2との界面(pn接合部)での耐圧が向上する。

【0033】製造方法については、第1の実施の形態での製造方法に比べて次のようにすればよい。図4で不純物領域30を形成する。この時、図11に示すように、1回目のイオン注入で最も広い範囲30aにイオン注入を行い、2回目のイオン注入で1回目よりも狭い範囲3

0bにイオン注入を行い、以下同様に前回よりも狭い範囲30c、30d、30eにイオン注入を行えば、チップ外方に向かって不純物濃度を低くすることができる。また、図7の状態から、トレンチ11の底面でのp型の不純物領域30の上に、pn接合構造のボディダイオードとするための電極31を形成する。即ち、ゲート・ソース電極の形成と同時にボディダイオード用電極31を形成する。

(第4の実施の形態)次に、第4の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0034】図12は、図2に代わる本実施の形態における半導体装置の断面図である。図12において、セル内におけるトレンチ5の底部において貫通孔42によりドリフト層2が露出しており、この露出させたドリフト層2に対し金属電極40がショットキー接触しボディダイオードを形成している。金属/SiC間の障壁高さは1~1.5eVである。金属電極40の材料としてはTi、Ni、W等の高融点金属を用いる。金属電極40はグランド電位にしている。

【0035】以上のごとく、チップ内に整流素子であるショットキーバリアダイオードをボディダイオードとして配置することにより、素子とダイオードを1チップ内に収めることができる。

【0036】次に、製造方法を説明する。まず、図13に示すように、n<sup>+</sup>SiC基板1の上にn<sup>-</sup>ドリフト層2と第1のゲート層(p<sup>+</sup>型バリッドゲート層)3とn<sup>+</sup>ソース層4を順にエピタキシャル成長させる。そして、n<sup>+</sup>ソース層4の上にマスクを配置し、エッチングによりトレンチ5を形成する。なお、マスク材としてLTO膜を用い、SiCのエッチングはRIEを用いる。

【0037】そして、マスク材を除去した後に、図14に示すように、SiC表面にn<sup>-</sup>チャネル層6と第2のゲート層(p<sup>+</sup>型トップゲート層)7をエピタキシャル成長させる。さらに、図15に示すように、LTO膜(図示略)をデボシ、ソースコンタクト部分及びボディダイオードコンタクト部分41をRIEにより開口し、この開口部からn<sup>-</sup>チャネル層6と第2のゲート層(p<sup>+</sup>型トップゲート層)7を除去する。

【0038】引き続き、LTO膜を全面除去した後、電極用コンタクトホール形成および電極形成を行う。詳しくは、LTO膜(図示略)をデボシ、第1のゲート層(p<sup>+</sup>型バリッドゲート層)3へのコンタクトとなる部分のLTO膜をRIEにより開口し、この開口部からn<sup>+</sup>ソース層4を除去する。LTO膜を除去した後、図16に示すように、再度LTO膜8をデボシ、このLTO膜8に対しソース層4へのコンタクトとなる部分と、第2のゲート層(p<sup>+</sup>型トップゲート層)7へのコンタクトとなる部分と、第1のゲート層(p<sup>+</sup>型バリッドゲート層)3へのコンタクトとなる部分と、ボディダイオード用電極となる部分42をRIEにより開口する。



【0039】そして、図17に示すように、電極金属を蒸着し、ソース電極、第1および第2のゲート電極（バリッドおよびトップゲート電極）となるようにメタルエッチングをする。さらに、電極熱処理を行う。また、図12に示すように、基板1の裏面にドレイン電極10を形成する。さらに、ショットキー金属を蒸着し、ショットキーバリアダイオード電極40となるようにメタルエッチングをする。そして、配線用アルミを蒸着し、配線となるようにエッチングを行う。さらに、配線アルミのシンターを行う。

（第5の実施の形態）次に、第5の実施の形態を、第1の実施の形態との相違点を中心に説明する。

【0040】図18は、図2に代わる本実施の形態における半導体装置の断面図である。図18において、トレンチ5の底部において貫通孔42によりドリフト層2を露出させ、露出させたドリフト層2に対しp型（第2導電型）のドーパントを添加したポリシリコンよりなる電極50を接触させてボディダイオードを形成している。p型ドーパントには例えばボロン（B）を用いる。

【0041】以上のごとく、チップ内に整流素子である不純物トープトポリシリコン型ボディダイオードを配置することにより、素子とダイオードを1チップ内に収めることができる。

【0042】製造方法については、第4の実施の形態での製造方法に比べて次のようにすればよい。図16の状態から、貫通孔42を通して露出しているドリフト層2の上に、ボディダイオードとするためのp型（第2導電型）のドーパントを添加したポリシリコンよりなる電極50を形成する。その後、ソース電極9およびドレイン電極10を形成する。

【図面の簡単な説明】

【図1】第1の実施の形態における炭化珪素半導体装置の縦断面図。

【図2】図1のA部の拡大図。

【図3】炭化珪素半導体装置の製造工程を説明するための縦断面図。

【図4】炭化珪素半導体装置の製造工程を説明するための縦断面図。

【図5】炭化珪素半導体装置の製造工程を説明するための縦断面図。

【図6】炭化珪素半導体装置の製造工程を説明するための縦断面図。

【図7】炭化珪素半導体装置の製造工程を説明するための縦断面図。

【図8】炭化珪素半導体装置の製造工程を説明するための縦断面図。

【図9】第2の実施の形態における炭化珪素半導体装置の縦断面図。

【図10】第3の実施の形態における炭化珪素半導体装置の縦断面図。

【図11】炭化珪素半導体装置の製造工程を説明するための縦断面図。

【図12】第4の実施の形態における炭化珪素半導体装置の縦断面図。

【図13】炭化珪素半導体装置の製造工程を説明するための縦断面図。

【図14】炭化珪素半導体装置の製造工程を説明するための縦断面図。

【図15】炭化珪素半導体装置の製造工程を説明するための縦断面図。

【図16】炭化珪素半導体装置の製造工程を説明するための縦断面図。

【図17】炭化珪素半導体装置の製造工程を説明するための縦断面図。

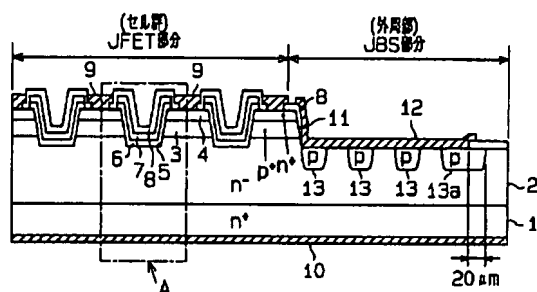
【図18】第5の実施の形態における炭化珪素半導体装置の縦断面図。

【図19】比較のための説明図。

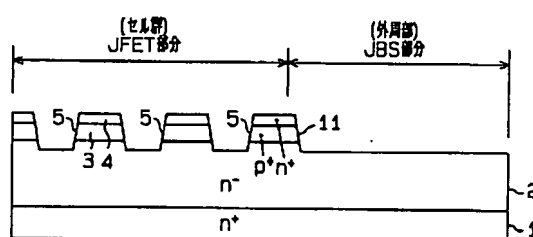
【符号の説明】

1… $n^+$ SiC基板、2… $n^-$ ドリフト層、3…第1のゲート層（ $p^+$ 層）、4…ソース層（ $n^+$ 層）、5…トレンチ、6… $n^-$ チャネル層、7…第2のゲート層（ $p^+$ 層）、8…層間絶縁膜、11…トレンチ、12…ショットキー電極、13…p型不純物領域、13a…p型不純物領域、20…金属電極、20a…金属電極の外縁部、30…p型不純物領域、31…電極、40…金属電極、50…電極。

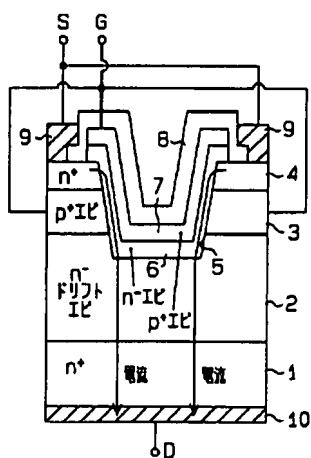
【図1】



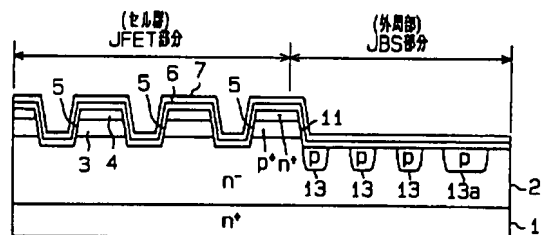
【図3】



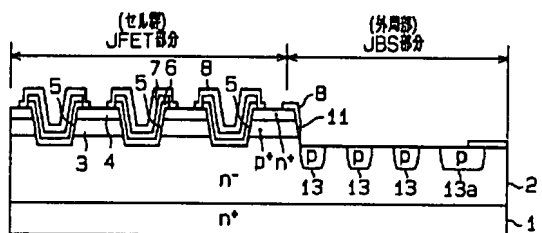
【図2】



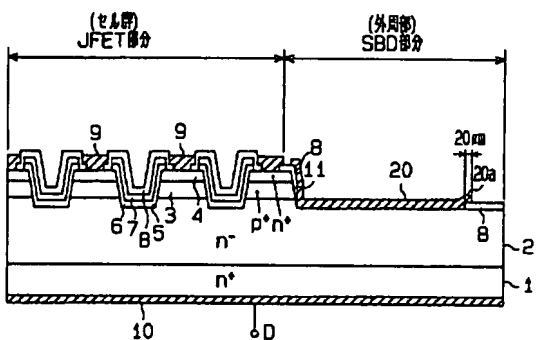
【図5】



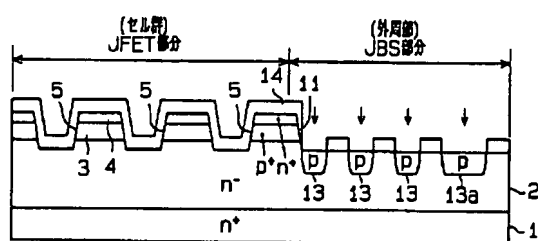
【図7】



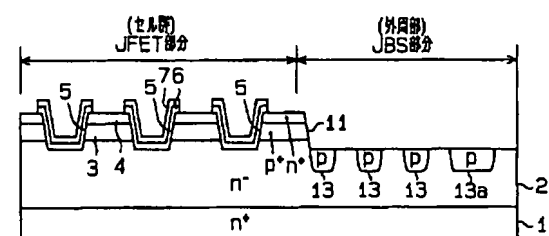
【图9】



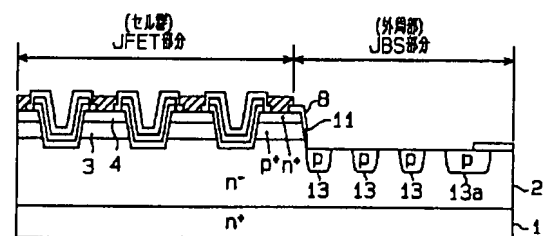
【図4】



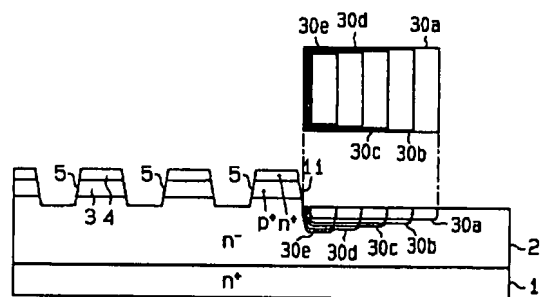
【図6】



【図8】



【図 1 1】



【図19】

(a)

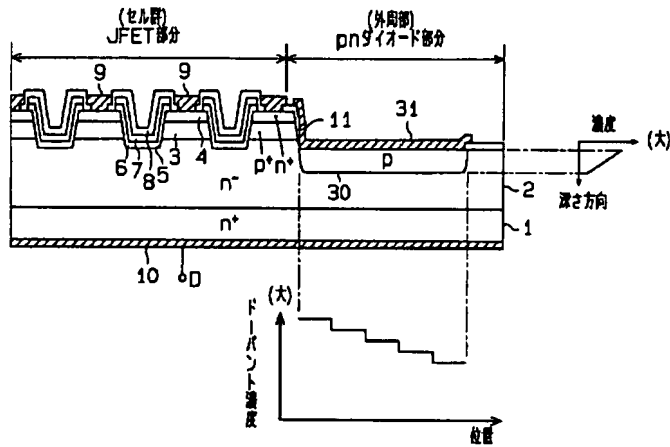
(b)

FET子づ

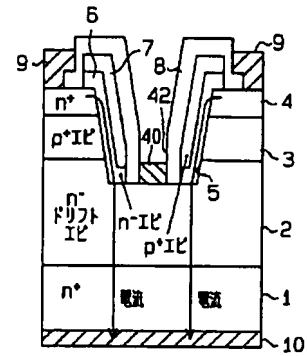
ダイオードチップ

FET  
+  
ダイオード

【図10】

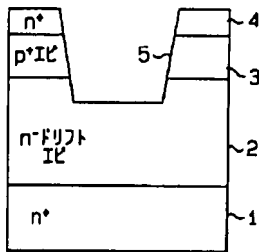


【図12】

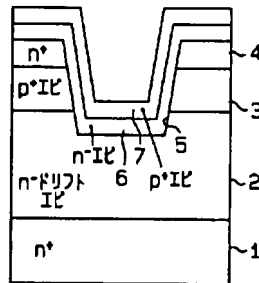


【図16】

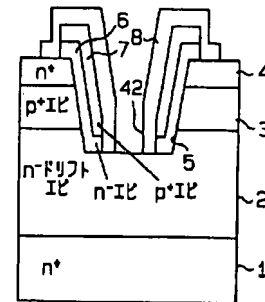
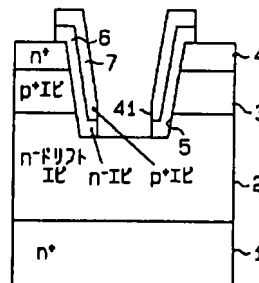
【図13】



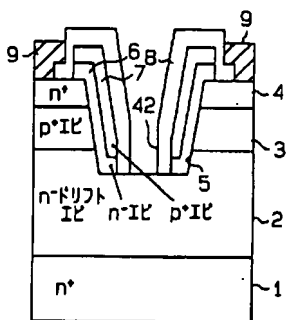
【図14】



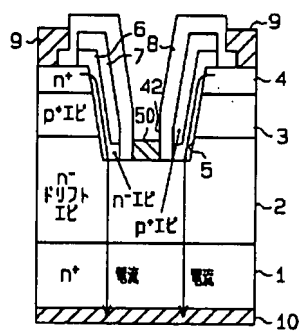
【図15】



【図17】



【図18】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

H01L 29/808  
29/812  
29/861  
29/872

識別記号

FI

H01L 29/48

テマート (参考)

D

(11) 冊2003-68760 (P2003-60B<A)

Fターム(参考) 4M104 AA03 BB01 BB05 BB14 BB18  
BB40 CC03 GG03  
5F102 FA00 FA01 GA14 GB05 GC01  
GC08 GD04 GJ02 GR07 GV05  
HC01 HC16 HC21